

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-074344

(43)Date of publication of application : 18.03.1997

(51)Int.Cl.

H03K 17/16
H03K 17/56
H03K 19/0175
H03K 19/003
H03K 19/007
H03K 19/013
H03K 19/0948

(21)Application number : 07-226215

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 04.09.1995

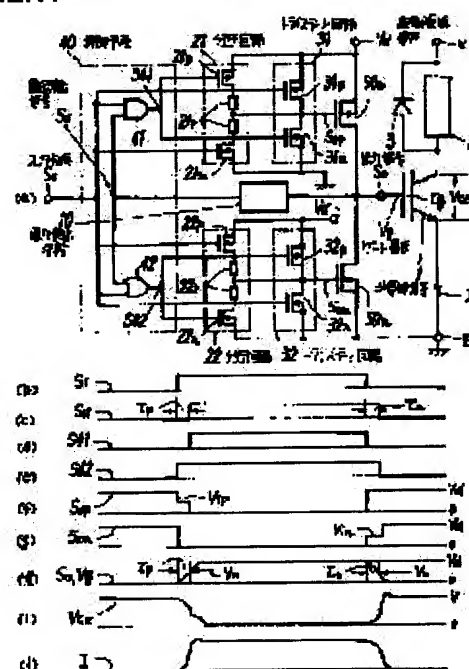
(72)Inventor : MINOTANI YOSHINARI

(54) DRIVE CIRCUIT FOR INSULATED GATE SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To accelerate switching speed while suppressing transient voltage or current oscillation to be frequently generated when turning on or off a semiconductor element.

SOLUTION: A drive circuit uses a voltage detecting means 10 for comparing a gate voltage V_g of a semiconductor element 1 with a reference value and generating a voltage detect signal S_d to change a logical state corresponding to that result, potential divider circuits 21 and 22 for ON and OFF operations for dividing a gate drive power supply voltage V_d , tristate circuits 31 and 32 for which those respective potential dividing points are commonly connected with output points, and control means 40 for controlling the ON/OFF of a pair of those respective transistors corresponding to the logical states of an input signal S_i and the voltage detect signal S_d . During delay time τ_p or τ_n from a change in the logical state of the input signal S_i to a change in the logical state of the voltage detect signal S_d , the output points of the tristate circuits 31 and 32 are alternately controlled into a floating state, and voltages divided by the potential divider circuits 21 and 22 are outputted as intermediate values V_{ip} and V_{in} of output signals S_{op} and S_{on} . An output signal S_o is derived from the mutual node of drive transistors 50p and 50n for receiving those voltages, and the gate of the semiconductor element 1 is driven.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-74344

(43) 公開日 平成9年(1997) 3月18日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	17/16	9184-5K	H 0 3 K 17/16	F
	17/56		19/003	B
	19/0175		19/007	
	19/003		19/013	
	19/007	9184-5K	17/56	Z
審査請求 未請求 請求項の数 7 O L (全 8 頁) 最終頁に続く				

(21) 出願番号 特願平7-226215

(22) 出願日 平成7年(1995) 9月4日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 簗谷 由成

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

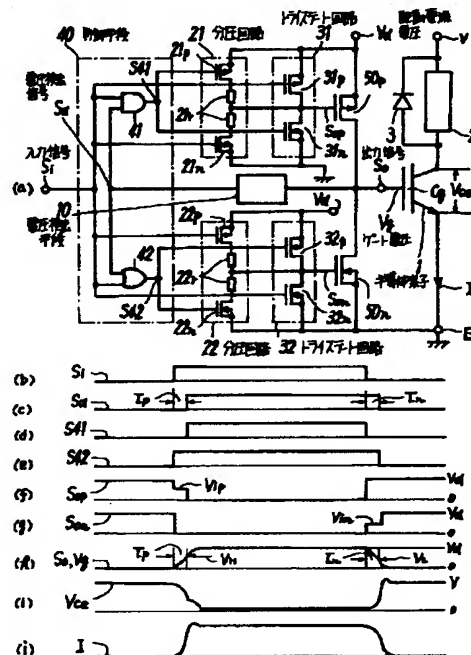
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 絶縁ゲート半導体素子の駆動回路

(57) 【要約】

【目的】 半導体素子1のオン動作時やオフ動作時に発生しやすい電圧 V_{ce} や電流 I の過渡振動を抑制しながらスイッチング速度を向上する。

【構成】 半導体素子1のゲート電圧 V_g を基準値と比較してその結果に応じて論理状態が変化する電圧検出信号 S_d を発する電圧検出手段10と、ゲート駆動電源電圧 V_d を分圧するオン動作作用とオフ動作作用の分圧回路21、22と、その各分圧点と出力点が共通接続されたトライステート回路31、32と、それらの各1対のトランジスタのオンオフを入力信号 S_i と電圧検出信号 S_d の論理状態に応じ制御する制御手段40とを用い、入力信号 S_i の論理状態の変化後に電圧検出信号 S_d の論理状態が変化するまでの遅れ時間 τ_p や τ_n の間はトライステート回路31と32の出力点を交互にフロート状態に制御して分圧回路21や22による分圧を出力信号 S_{op} 、 S_{on} の中間値 V_{ip} 、 V_{in} として出力し、それらを受ける駆動トランジスタ50p、50nの相互接続点から出力信号 S_o を導出して半導体素子1のゲートを駆動する。



【特許請求の範囲】

【請求項1】半導体素子のゲートに掛かる電圧を受けてその値の基準値との比較結果に応じて論理状態が切り換わる電圧検出信号を発する電圧検出手段と、ゲート用の駆動電源電圧を所定比に分圧する分圧回路と、1対のトランジスタを駆動電源電圧に対して直列接続してなり、両者の相互接続点を出力点としてその論理状態がフロート状態を含む3状態に制御され、分圧回路の分圧点と共通接続されたこの出力点から半導体素子のゲート駆動用の出力信号が導出されるトライステート回路と、半導体素子のオンオフを指定する入力信号と電圧検出信号とを受けて両信号の論理状態に応じてトライステート回路のトランジスタのオンオフ状態を制御する制御手段とを備え、入力信号の論理状態が切り換わった後に電圧検出信号の論理状態が変化するまでの時間内は制御手段によってトライステート回路をフロート状態に制御して分圧回路の分圧を出力信号として取り出すようにしたことを特徴とする絶縁ゲート半導体素子の駆動回路。

【請求項2】請求項1に記載の回路において、制御手段が論理ゲートないしその組み合わせ回路として構成されることを特徴とする絶縁ゲート半導体素子の駆動回路。

【請求項3】請求項1に記載の回路において、分圧回路の1対の分圧要素のそれぞれに対してトランジスタを直列に接続し、トライステート回路内のトランジスタをオンさせる際に分圧回路のそれに直列に入るトランジスタをオフ状態に制御するようにしたことを特徴とする絶縁ゲート半導体素子の駆動回路。

【請求項4】請求項1に記載の回路において、分圧回路を半導体素子のオン動作とオフ動作に分離して設け、それらの分圧比を独立に設定し得るようにしたことを特徴とする絶縁ゲート半導体素子の駆動回路。

【請求項5】請求項4に記載の回路において、トライステート回路を各分圧回路に対して設け、入力信号の論理状態の一方から他方への変化および他方から一方への変化に応じて制御手段により交互にフロート状態に制御するようにしたことを特徴とする絶縁ゲート半導体素子の駆動回路。

【請求項6】請求項5に記載の回路において、各分圧回路とそれに対応するトライステート回路の組み合わせごとに両回路から出力信号を受ける駆動トランジスタを設け、このオン動作およびオフ動作の駆動トランジスタを駆動電源電圧に対し直列に接続して、両駆動トランジスタの相互接続点から半導体素子に対するゲート駆動用として出力信号を導出するようにしたことを特徴とする絶縁ゲート半導体素子の駆動回路。

【請求項7】請求項1に記載の回路において、電圧検出手段の半導体素子のゲート電圧値を比較すべき基準値がゲート電圧の上昇時と下降時で異なるように電圧検出手段に動作履歴特性をもたせるようにしたことを特徴とする絶縁ゲート半導体素子の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は絶縁ゲートバイポーラトランジスタ（以下IGBTという）等の電力用の絶縁ゲート半導体素子をオンオフないしはスイッチング動作させる際の過渡的な過電圧や過電流の発生防止に適する駆動回路に関する。

【0002】

【従来の技術】上述のIGBT等の絶縁ゲート半導体素子はバイポーラ素子と比べてゲートの入力インダクタンスが高いので小電力で駆動でき、かつ負荷を高周波でスイッチングできる利点があるため、種々な用途の電力装置の制御用に広く採用されている。しかし、高速でスイッチング動作させると過電圧や過電流が発生しやすいので、半導体素子とその絶縁ゲートに抵抗を接続した状態で簡単な駆動回路によりオンオフ動作させるのが通例である。図3はこのような従来例に関連する主な信号の波形とともに示すものである。

【0003】図3(a)の右側部に示す半導体素子1はIGBTであって、エミッタ側を接地してコレクタ側に電源電圧Vを受ける負荷2を接続した状態で使用される。負荷2は図の例では誘導性であり、半導体素子1のオフ動作時の過電圧の発生を防止するダイオード3が逆並列接続されている。駆動回路4は半導体素子1のオンオフの状態を指定する論理信号である5V程度の入力信号Siを受けて、図の例ではそれと同じ論理状態でその電源電圧Vdと同じ15Vの出力信号Soを発する。

【0004】この出力信号Soを前述の抵抗Rqを介して受ける半導体素子1のゲートにはそのエミッタとコレクタとの間に静電容量CqeとCqcがそれぞれあり、これらはそれぞれ数百～数千pFとかなり大きな静電容量なので、駆動回路4にはそれらを合成した半導体素子1のゲート容量Cgを所望の短時間内に充放電するのに十分な駆動能力が賦与される。なお、図3(b)と図3(c)に駆動回路4の入力信号Siと出力信号Soの波形をそれぞれ示す。

【0005】

【発明が解決しようとする課題】しかし、上述の図3(a)のような駆動回路4では半導体素子1のスイッチング速度を高めるためその駆動能力を上げ、あるいはゲート抵抗Rqの抵抗値を下げてターンオン時間やターンオフ時間を縮めて行くと、オンオフ時に半導体素子1に掛かる電圧やそれに流れる電流に過渡的な振動が発生しやすくなる問題がある。以下、この様子を図3(d)～図3(f)を参照して説明する。

【0006】図3(d)に半導体素子1が駆動回路4から図3(c)に示す波形の出力信号Soを受けた際のゲート電圧Vgの波形を示す。前述のゲート容量Cgに関連するゲート・エミッタ間容量Cqeやゲート・コレクタ間容量Cqcがターンオン動作中やターンオフ動作中の半導体素子1が受ける電圧値や電流値により変化するので、ゲート電

圧 V_q の波形は図のようち単純な充放電波形とかなり異なってくる。

【0007】図3(e)と図3(f)に半導体素子1に掛かるコレクタ・エミッタ間電圧 V_{ce} とそれに流れる電流 I の波形をそれぞれ示す。図3(e)のように電圧 V_{ce} のターンオン時の波形には振動がないが、ターンオフ時の波形に大きな振動が現れて鋭いピーク電圧が発生している。図3(f)のように電流 I の波形にはターンオフ時に若干の振動が現れるが、ターンオン時には大きな振動が現れて非常に鋭いピーク電流が発生している。

【0008】これからわかるように半導体素子1のターンオン時にはその電流 I に、ターンオフ時には電圧 V_{ce} にそれぞれ過渡的な振動がとくに生じやすく、振動の振幅は駆動回路4の駆動力が大きいほど、ゲート抵抗 R_g の抵抗値が低いほど、負荷2が誘導性でそのインダクタンス値が大きいほど急増する傾向がある。このように、半導体素子1のスイッチング速度を高めて行く上でそのオンオフ動作に付随して発生する過渡的な振動が隘路になっているのが実情である。

【0009】かかる現状に鑑みて、本発明の目的は絶縁ゲート半導体素子のターンオン時やターンオフ時に生じやすい過渡振動を抑制しながらスイッチング速度を従来より高めることができる駆動回路を提供することにある。

【0010】

【課題を解決するための手段】本発明によれば上記の目的は、半導体素子のゲートに掛かる電圧を受けてその電圧値の基準値の比較結果に応じて論理状態が切り換わる電圧検出信号を発する電圧検出手段と、ゲートの駆動電源電圧を所定比に分圧する分圧回路と、1対のトランジスタを駆動電源電圧に対して直列接続し、両者の相互接続点を出力点としてその論理状態がフロート状態を含む3状態に制御され、分圧回路の分圧点と共通に接続されたこの出力点から半導体素子のゲートを駆動する出力信号が導出されるトライステート回路と、半導体素子のオンオフを指定する入力信号と電圧検出信号を受けて両信号の論理状態に応じトライステート回路のトランジスタのオンオフ状態を制御する制御手段とを用い、入力信号の論理状態が切り換わった後に電圧検出信号の論理状態が切り換わるまでの時間内は制御手段によりトライステート回路をフロート状態に制御して分圧回路による分圧値を出力信号として取り出すことによって達成される。

【0011】上記の構成中にいう電圧検出手段には半導体素子のゲート電圧値を比較すべきその基準値がゲート電圧の上昇時と下降時とで異なるように動作上の履歴特性をもたせることができる。また、分圧回路では1対の分圧要素のそれぞれにトランジスタを直列に接続し、トライステート回路内のトランジスタをオンさせる際に分圧回路のそれに直列に入るトランジスタをオフ状態に制御し、さらにはそれに並列に入るトランジスタをオン状

態に制御するのが有利である。制御手段を論理ゲートないしその組み合わせ回路として構成するのが最も簡単である。

【0012】分圧回路は場合によって単一としてもよいが、半導体素子のオン動作とオフ動作に分離して設けてそれらの分圧比を独立に設定し得るようにするのが最も合理的である。この場合でもトライステート回路は単一で済ませることも可能であるが、分圧回路ごとにトライステート回路を付随させて入力信号の論理状態の一方から他方への変化と他方から一方への変化とに応じて制御手段により交互にフロート状態に制御するのが有利である。

【0013】さらにこの場合、分圧回路と対応するトライステート回路の組み合わせごとに両者から出力信号を受ける駆動トランジスタを設け、これらのオン動作とオフ動作の駆動トランジスタを駆動電源電圧に対し直列に接続して、両駆動トランジスタの相互接続点から半導体素子に対するゲート駆動用として出力信号を取り出すようにするのが有利である。

【0014】

【作用】本発明による絶縁ゲート半導体素子の駆動回路は、(1)半導体素子のオンオフ動作に伴う前述の電流や電圧の過渡振動がターンオン時間やターンオフ時間のごく初期の半導体素子のゲート電圧の急激な変化により誘発される点に着目して、前項の構成にいう分圧回路によりオンオフ動作の開始直後のゲートの充放電をそれにより設定した分圧値までしか進行させないようにしてゲート電圧の変化速度を過渡振動が誘発されない程度に抑制し、(2)その際の充放電に必ず若干の時間を要する点に着目して、前項の構成にいう電圧検出手段により変化速度を抑制すべき時間をゲート電圧が所定の基準値まで変化する時間から設定して、この時間内は制御手段によりトライステート回路をフロート状態におくようにし、さらに、(3)この時間の経過後は制御手段によりトライステート回路をフロート状態から解除してトライステート回路に半導体素子のゲートを駆動させ、短時間内にその充放電を完了させて半導体素子を正規のオンオフ状態に入れることにより前述の所期の目的の達成に成功したものである。

【0015】

【実施例】次に図を参照して本発明の実施例を説明する。図1は本発明による駆動回路を半導体素子とともに示すその実施例の回路図および関連する主な信号の波形図であり、図2は電圧検出手段に動作上の履歴をもたせる場合の動作特性図である。なお、以下説明する実施例では半導体素子のオン動作およびオフ動作に分圧回路が別個に設けられ、各分圧回路にはその1対の分圧要素のそれぞれに対してトランジスタが直列接続され、かつ各分圧回路に対応してトライステート回路が設けられるものとするが、本発明はかかる実施例に限らず前述の

要旨の範囲内で種々変形された態様で実施をすることができる。

【0016】図1(a)の右側部に示すIGBTである絶縁ゲート半導体素子1と負荷2とそれに並列なダイオード3は前に説明した図3の従来例の場合と同じである。本発明による駆動回路は図1(b)に波形を示す入力信号Siを受けて図1(h)に波形を示す出力信号Soを図示の例では入力信号Siと同じ論理状態で出力して半導体素子1のゲートを図3(a)のようなゲート抵抗R_gを介することなく駆動する。

【0017】図1(a)の中央部にブロックで簡略に示す電圧検出手段10はこの出力信号Soによりゲートを充放電した結果である半導体素子1のゲート電圧V_gを受けて、その電圧値を所定の基準値と比較してその結果に応じて論理状態が変化する電圧検出信号S_dを図1(c)に示す波形で発する。図1(b)の入力信号Siの論理状態が切り換わると図1(h)の出力信号Soないしゲート電圧V_gはそれに応じて立ち上がりや立ち下がりをするが、半導体素子1のゲートには静電容量があってその充放電に若干の時間を要するため電圧検出信号S_dの論理状態の変化は図1(c)のように入力信号Siより図で τ_p や τ_n で示す短時間だけ遅れてくる。

【0018】図1(a)に一点鎖線で囲んで示す分圧回路21と22は半導体素子1のゲート用の駆動電源電圧V_dを受けてそれを所定比に分圧するもので、場合により1個だけで済ませることも可能であるが、この実施例では半導体素子1のオン動作の分圧回路21とオフ動作の分圧回路22とを設けてそれらの分圧比を互いに独立に設定できるようにする。これらの分圧回路21と22は通例のようにそれぞれ1対の分圧抵抗21rと22rを含むが、さらにこの実施例では各分圧抵抗21rと22rに対してそれぞれp形とn形のトランジスタ21pと21n、および22pと22nが図のように直列に接続される。

【0019】同様に図1(a)に一点鎖線で囲んで示すトリステート回路31と32は出力点の論理状態がハイとローの2状態に切り換わるインバータ回路としての動作のほかフロート状態にも制御される3状態回路であり、この実施例では上述の分圧回路21と22に対応して半導体素子1のオン動作のトリステート31とオフ動作のトリステート回路32が設けられ、それらの出力点に対応する分圧回路21と22の分圧点とそれぞれ共通に接続される。また、トリステート回路31の出力点からオン動作の出力信号S_{op}が、トリステート回路32の出力点からオフ動作の出力信号S_{on}がそれぞれ導出される。

【0020】なお、これらトリステート回路31と32は図示のように駆動電源電圧V_dに対しp形のトランジスタ31p、32pおよびn形のトランジスタ31n、32nをそれぞれ直列接続してなり、それらの各1対のトランジスタの相互接続点を分圧回路21と22の分圧点と共通接続された出力点とするものであり、次に述べる制御手段40により入

力信号Siの論理状態の一方から他方への変化およびその逆方向の変化に応じて前述の遅れ時間 τ_p や τ_n の間だけ交互にフロート状態に制御される。

【0021】この実施例の制御手段40は分圧回路21と22およびトリステート回路31と32のトランジスタのオンオフ状態を制御するもので、本発明ではこれを入力信号Siと電圧検出信号S_dを受ける論理ゲートないしはその組み合わせ回路として構成するのがよく、この実施例ではオン動作のアンドゲート41およびオフ動作のオアゲート42から構成され、それらの出力である制御信号S₄₁とS₄₂を発するほかに入力信号Siをそのまま出力する。図1(d)と図1(e)には制御信号S₄₁とS₄₂の波形がそれぞれ示されている。

【0022】いま、図1(b)の入力信号Siがローからハイに変化したとすると、その直後は図1(c)の電圧検出信号S_dはローの状態なので、制御手段40のアンドゲート41による図1(d)の制御信号S₄₁はローであり、従ってオン動作のトリステート回路31の入力信号Siのハイを受けるp形のトランジスタ31pおよび制御信号S_dのローを受けるn形のトランジスタ31nはともにオフし、トリステート回路31はフロート状態になる。一方、分圧回路21内の制御信号S₄₁のローを受けるp形のトランジスタ21pと入力信号Siのハイを受けるn形のトランジスタ21nがともにオンするので、図1(f)に示すオン動作の出力信号S_{op}は分圧回路21によって駆動電源電圧V_dを分圧した中間電圧V_{ip}になる。

【0023】これに対してオフ動作側では、ノアゲート42による図1(e)の制御信号S₄₂が入力信号Siの立ち上がりと同時にハイになり、トリステート回路32内のこれを受けるp形のトランジスタ32pがオフし入力信号Siのハイを受けるn形のトランジスタ32nがオンするので、出力点から導出される図1(q)に示すオフ動作の出力信号S_{on}はローの状態になる。前述の遅れ時間 τ_p の経過後にオン動作側の制御信号S₄₁がハイになるとトリステート回路31のn形のトランジスタ31nがオンするので、オン動作の出力信号S_{op}がローに切り換わる。

【0024】次に入力信号Siがハイからローに変わると制御信号S₄₁はすぐローに変化し、トリステート回路31内のp形のトランジスタ31pが入力信号Siのハイでオンしn形のトランジスタ31nが制御信号S₄₁のローでオフするのでオン動作の出力信号S_{op}はハイの状態に変わる。一方、制御信号S₄₂は電圧検出信号S_dの前述の遅れ時間 τ_n の間はまだハイの状態を保ち、トリステート回路32はそのハイを受けるp形のトランジスタ32pと入力信号Siのローを受けるn形のトランジスタ32nがともにオフするのでフロート状態になる。しかし、分圧回路22の方は入力信号Siのハイを受けるp形トランジスタ22pと制御信号S₄₂のハイを受けるn形トランジスタ22nがともにオンするので、オフ動作の出力信号S_{on}は

駆動電源電圧 V_d を分圧した中間電圧 V_{in} になる。遅れ時間 τ_n の経過後に制御信号 S_{42} がローに変わると、トライステート回路32のp形のトランジスタ32pがそのローでオンし、n形のトランジスタ32nが制御信号 S_i のローでオフするので、この出力信号 S_{on} は中間電圧 V_{in} からハイの電圧 V_d に立ち上がる。

【0025】以上のように、制御手段40は入力信号 S_i の論理状態が切り換わり後に電圧検出信号 S_d の論理状態が切り換わるまでの遅れ時間 τ_p や τ_n の間はトライステート回路31や32をフロート状態にこの実施例では交互に制御して、駆動電源電圧 V_d の分圧回路21や22による分圧値を出力信号 S_{op} や S_{on} の中間電圧 V_{ip} や V_{in} として出力させる役目を果たす。

【0026】なお、この実施例における制御手段40はトライステート回路31や32にフロート状態以外のインバータ動作をさせる場合そのトランジスタをオンさせる際に分圧回路21や22内の駆動電源電圧 V_d に対しそれに直列に入るトランジスタを必ずオフ状態に制御し、さらに並列に入るトランジスタをオン状態に制御する。例えば、トライステート回路31のp形のトランジスタ31pを入力信号 S_i のローによりオンさせるとき、分圧回路21の駆動電源電圧 V_d に対しそれに直列に入るn形のトランジスタ21nを同じ入力信号 S_i のローによりオフ状態に制御し、そのp形のトランジスタ21pを制御信号 S_{41} のハイによりオン状態に制御する。このトランジスタ21nのオフによりトライステート31が発する出力信号 S_{op} を分圧回路21の影響を受けることなく駆動電源電圧 V_d に同じハイの論理状態におくことができ、トランジスタ21pのオンによりそれを一層確実にすることができる。

【0027】図1(a)の回路例では、半導体素子1に対する駆動能力を高めるために以上のようにして発生されたオン動作の出力信号 S_{op} とオフ動作の出力信号 S_{on} を駆動電源電圧 V_d に対して直列に接続されたp形の駆動トランジスタ50pとn形の駆動トランジスタ50nにそれぞれ受けて、両者の相互接続点から半導体素子1のゲートを駆動する図1(h)に波形を示す出力信号 S_o を取り出すように構成されている。p形の駆動トランジスタ50pは半導体素子1のゲートがもつ静電容量 C_g の充電用、n形の駆動トランジスタ50nはその放電用であって、両出力信号 S_{op} と S_{on} によりもちろん交互にオンオフ操作される。

【0028】この出力信号 S_o は半導体素子1に掛かるゲート電圧 V_g でもあり、オン動作の出力信号 S_{op} とオフ動作の出力信号 S_{on} が入力信号 S_i の状態変化時にそれぞれ前述の遅れ時間 τ_p や τ_n 内に中間電圧 V_{ip} や V_{in} を経由して切り換わり、かつ半導体素子1のゲート容量 C_g の充放電にも若干の時間を要するので、図1(h)のように出力信号 S_{op} や S_{on} に比べてなだらかに変化する波形になる。

【0029】この図1(h)のゲート電圧 V_g の波形には電

圧検出手段10によってその電圧値が比較される基準値が示されており、この実施例では電圧検出手段10に図2に示すような動作上の履歴をもたせてゲート電圧 V_g の上昇時の基準電圧 V_{\parallel} と下降時の基準電圧 V_{\perp} が異なるように構成される。この電圧検出手段10には図2のように電圧検出信号 S_d の論理状態をゲート電圧 V_g が基準電圧 V_{\parallel} や V_{\perp} になったときにそれぞれ変化させるように図では矢印で示す通常の反時計回り方向の履歴特性をもたせることでよいが、必要な場合はそれに時計回り方向の履歴特性をもたせることも可能である。この履歴特性は例えば15Vの駆動電源電圧 V_d の半分の7.5Vの上下の基準値 V_{\parallel} や V_{\perp} の差 ΔV が2～数Vになるよう設定するのがよい。

【0030】入力信号 S_i の論理状態が変化した直後に出力信号 S_{op} や S_{on} の中間電圧 V_{ip} や V_{in} をゲートに受けて駆動トランジスタ50pまたは50nがオンすると、それらは飽和領域で動作して半導体素子1のゲート容量 C_g をほぼ一定の電流で充電ないし放電するので、図1(h)に示すようにゲート電圧 V_g はほぼ一定勾配で立ち上がりあるいは立ち下がる。このゲート電圧 V_g が電圧検出回路10の基準電圧 V_{\parallel} に立ち上がるまでの時間が前述のオン動作時の遅れ時間 τ_p であり、基準電圧 V_{\perp} まで立ち下がる時間がオフ動作時の遅れ時間 τ_n である。

【0031】これら遅れ時間 τ_p や τ_n を設定する要領を具体的に述べると以下のとおりである。いま、p形のトランジスタ50pのチャネルの移動度とゲート酸化膜の静電容量で決まる定数を k_p とし、そのチャネル幅とチャネル長さの比を W_p/L_p とし、そのゲートしきい値を V_{tp} とすると、ゲートに中間電圧 V_{ip} を受けたときの駆動トランジスタ50pの半導体素子1のゲート容量 C_g に対する一定の充電電流 I_{p1} は、周知のように $I_{p1} = (k_p/2)(W_p/L_p)(V_{ip} - V_{tp})^2$ で表され、従ってオン動作時の遅れ時間 τ_p はこの充電電流 I_{p1} の値を用いて $\tau_p = V_{\parallel} C_g / I_{p1}$ で設定できる。同様にn形トランジスタ50nによるゲート容量 C_g に対する放電電流 I_{n1} は、そのチャネル移動度とゲート酸化膜の静電容量で決まる定数を k_n 、チャネル幅とチャネル長さの比を W_n/L_n 、ゲートしきい値を V_{tn} とすると、 $I_{n1} = (k_n/2)(W_n/L_n)(V_{in} - V_{tn})^2$ になり、オフ動作時の遅れ時間は $\tau_n = V_{\perp} C_g / I_{n1}$ で設定できる。

【0032】以上のように構成されたこの実施例において、半導体素子1のオンオフ動作に伴いそのコレクタ・エミッタ間に掛かる両端電圧 V_{ce} の波形を図1(i)に示し、それに流れる電流 I の波形を図1(j)に示す。前述の従来例における図3(e)や図3(f)の波形と比較すればわかるように、本発明回路では半導体素子1のオン動作時の電流 I やオフ動作時の両端電圧 V_{ce} の波形に小さなピークは出るものの従来のような過渡振動に伴う大きな過電流や過電圧は生じない。

【0033】さらに、本発明回路では従来のように図3(a)に示したゲート抵抗 R_g を用いる必要がなく、とくに

遅れ時間 τ_p や τ_n が経過した後は半導体素子1のゲートの充放電をごく短時間内に完了することができる。遅れ時間 τ_p や τ_n はもちろん場合によって異なるが0.1~0.5 μ Sの範囲内に設定するのがよく、これにより従来1~2 μ S必要であった半導体素子1のターンオン時間やターンオフ時間を約半分の0.5~1 μ S程度に短縮することができる。

【0034】以上説明した実施例に限らず本発明は種々の態様で実施をすることができる。例えば実施例では駆動回路をすべてCMOS回路として構成したが、例えばバイポーラ回路として構成することもできる。電圧検出手段に実施例のように動作の履歴特性をもたせなくても、分圧回路の分圧比により遅れ時間の設定を調整することもできる。分圧回路の分圧抵抗に直列なトランジスタを省略して回路構成を全体的に簡易化することもできる。

【0035】また、実施例ではオン動作用の分圧回路とオフ動作用の分圧回路を用いたが、回路構成を簡単化するために単一の分圧回路を両動作用に共通に設け、対応するトリステート回路を制御手段によりオン動作時とオフ動作時の遅れ時間の間にフロート状態に制御するようにしてもよい。もちろん、かかる実施態様における制御手段はトリステート回路内のトランジスタをそれに必要な動作に合わせてオンオフ制御するよう容易に構成できる。さらに、実施例におけるオン動作側やオフ動作側の分圧回路とトリステート回路の組み合わせの動作波形からわかるように、出力信号がオン動作時とオフ動作時の遅れ時間のいずれかの間だけ中間電圧になるように本発明を実施することもできる。

【0036】

【発明の効果】以上説明したとおり本発明による半導体素子の駆動回路では、電圧検出手段により半導体素子のゲート電圧を基準電圧と比較した結果に応じて論理状態が切り換わる電圧検出信号を作り、分圧回路に半導体素子のゲート用の駆動電源電圧を所定比に分圧させ、トリステート回路に分圧回路の分圧点と共通に接続されたその出力点から論理状態がフロート状態を含めた3状態に制御される出力信号を発生させ、制御手段により半導体素子のオンオフを指定する入力信号と電圧検出信号の論理状態に応じてトリステート回路内のトランジスタのオンオフを制御するようにしておき、入力信号の論理状態が変化後に電圧検出信号の論理状態が変化するまでの遅れ時間内は制御手段によりトリステート回路の出力点の論理状態をフロート状態に制御して分圧回路による分圧値を出力信号の中間電圧値として取り出すことによって次の効果を挙げることができる。

【0037】(a) 入力信号の変化に対する電圧検出信号の変化の遅れ時間内は半導体素子のゲートを駆動する出力信号を分圧回路により駆動電源電圧を分圧した中間電圧におくことにより、ゲートの充放電をこの中間電圧ま

で部分的に進行させてゲート電圧の変化速度を過渡振動を誘発しないように抑制できる。

(b) 半導体素子のゲートがもつ静電容量の充放電に時間が必要な点を利用してゲート電圧の変化速度を抑制すべき遅れ時間を電圧検出手段によりその電圧値が所定の基準値まで変化する時間から簡単かつ正確にしかもゲートの静電容量値に応じて合理的に設定することができる。

【0038】(c) 従来のようにゲート抵抗を用いる必要がなく、とくに遅れ時間の経過後はトリステート回路をフロート状態から解除してゲートを直接強く駆動してその静電容量の充放電を短時間内に完了させることにより、半導体素子のターンオン時間やターンオフ時間を従来の半分程度に短縮することができる。このように、本発明はゲート抵抗を用いる従来の駆動方式がもっていた電圧や電流の過渡振動の抑制とスイッチング速度の高速化との間の矛盾ないしトレードオフの問題を解決して、半導体素子を過渡振動による過電圧や過電流から安全に保護しながら、そのスイッチング動作が可能な周波数を従来より高周波領域側に拡大することを可能にするものである。

【0039】なお、電圧検出手段に半導体素子のゲート電圧と比較すべき基準電圧がゲート電圧の上昇時と下降時で異なるように動作上の履歴特性をもたせる本発明の実施態様は、半導体素子やその負荷の過渡特性がオン動作時とオフ動作時とで異なる場合にそれに合わせてゲート電圧の変化速度を過渡振動の発生を確実に抑制するよう正確に設定できる利点を有する。また、分圧回路の各分圧要素に対しトランジスタを直列に接続してトリステート回路内のトランジスタをオンさせる際に分圧回路のそれに直列に入るトランジスタをオフ状態に制御する態様、さらにはそれに並列に入るトランジスタをオン状態に制御する態様は、ゲートの駆動力を強めて半導体素子のスイッチング速度を高速化する効果がある。制御手段を論理ゲートやそれを組み合わせて構成する態様は、簡単な回路構成でトリステート回路や分圧回路の動作を正確に制御できる利点を有する。

【0040】分圧回路をオン動作とオフ動作とに分離して設けて分圧比を独立に設定する態様、さらに各分圧回路ごとにトリステート回路を設ける態様は、過渡振動を確実に防止するように半導体素子のオン動作時とオフ動作時のゲート電圧の変化速度を特性に合わせて独立に設定できる効果がある。オン動作とオフ動作の分圧回路とトリステート回路の組み合わせごとに駆動トランジスタを設けて、両駆動トランジスタの相互接続点から出力信号を導出して半導体素子のゲートを駆動する態様は、駆動トランジスタの一定の飽和電流でゲートを中間電圧値まで充放電して遅れ時間の設定を正確にするとともにゲートに対する駆動力を強めて半導体素子のスイッチング速度を高める効果を有する。

【図面の簡単な説明】

【図1】本発明による半導体素子の駆動回路の実施例回路と関連する主な信号の波形を示し、同図(a)は駆動回路を半導体素子等とともに示す回路図、同図(b)は入力信号の波形図、同図(c)は電圧検出信号の波形図、同図(d)はオン動作の制御信号の波形図、同図(e)はオフ動作の制御信号の波形図、同図(f)はオン動作の出力信号の波形図、同図(g)はオフ動作の出力信号の波形図、同図(h)は半導体素子駆動用出力信号の波形図、同図(i)は半導体素子に掛かる両端電圧の波形図、同図(j)は半導体素子に流れる電流の波形図である。

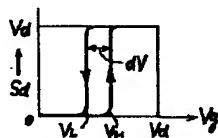
【図2】動作上の履歴をもつ電圧検出手段の動作特性図である。

【図3】従来の駆動回路の例と関連する主な信号の波形を示し、同図(a)は駆動回路を半導体素子とともに示す回路図、同図(b)は入力信号の波形図、同図(c)は出力信号の波形図、同図(d)は半導体素子のゲート電圧の波形図、同図(e)は半導体素子に掛かる両端電圧の波形図、同図(f)は半導体素子に流れる電流の波形図である。

【符号の説明】

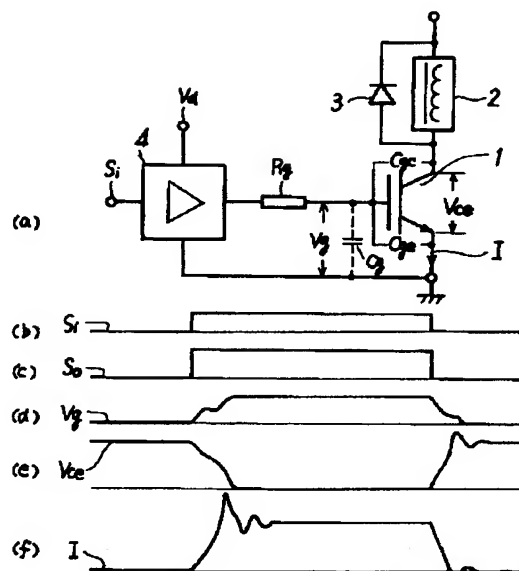
- 1 絶縁ゲート半導体素子ないしはIGBT
- 2 半導体素子の負荷
- 10 電圧検出手段
- 21 オン動作用の分圧回路
- 21r 分圧抵抗
- 21p, 21n 分圧抵抗に直列なトランジスタ
- 22 オフ動作用の分圧回路
- 22r 分圧抵抗
- 22p, 22n 分圧抵抗に直列なトランジスタ

【図2】



- * 31 オン動作用のトライステート回路
- 31p, 31n トライステート回路のトランジスタ
- 32 オフ動作用のトライステート回路
- 32p, 32n トライステート回路のトランジスタ
- 40 制御手段
- 41 制御手段用のアンドゲート
- 42 制御手段用のオアゲート
- 50p, 50n 駆動トランジスタ
- Cg 半導体素子のゲートの静電容量
- 10 I 半導体素子に流れる電流
- Sd 電圧検出信号
- Si 入力信号
- So 半導体素子駆動用の出力信号
- So n オフ動作用の出力信号
- So p オン動作用の出力信号
- S 41 オン動作用の制御信号
- S 42 オフ動作用の制御信号
- τn オフ動作時の電圧検出信号の遅れ時間
- τp オン動作時の電圧検出信号の遅れ時間
- 20 V 負荷用の電源電圧
- V ce 半導体素子の両端電圧
- Vd 半導体素子のゲート用の駆動電源電圧
- Vg 半導体素子のゲート電圧
- V in オフ動作用の出力信号の中間電圧
- V i p オン動作用の出力信号の中間電圧
- V n 電圧検出手段のゲート電圧の上昇時の基準電圧
- V l 電圧検出手段のゲート電圧の下降時の基準電圧
- * 圧

【図3】



(51)Int.Cl.⁶
H 0 3 K 19/013
19/0948

F I
H 0 3 K 19/00
19/094

技術表示箇所

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates the insulated-gate semiconductor device for power, such as an insulated-gate bipolar transistor (it is called Following IGBT), to the drive circuit suitable for turning on and off or generating prevention of the transitional overvoltage at the time of carrying out switching operation, or an overcurrent.

[0002]

[Description of the Prior Art] Since the input inductance of the gate is high compared with a bipolar component and insulated-gate semiconductor devices, such as above-mentioned IGBT, have the advantage which can drive with small power and can switch a load by high frequency, they are widely adopted as control of the power unit of various applications. However, since it will be easy to generate an overvoltage and an overcurrent if switching operation is carried out at high speed, it is usually to make the insulated gate carry out on-off control action of the semiconductor device by the easy drive circuit, where resistance is connected. Drawing 3 shows such a conventional example with the wave of the main related signals.

[0003] Drawing 3 (a) The semiconductor device 1 shown in the right-hand side section is IGBT, and where the load 2 which grounds an emitter side and receives supply voltage V in a collector side is connected, it is used. A load 2 is inductivity in the example of drawing, and antiparallel connection of the diode 3 which prevents generating of the overvoltage at the time of off actuation of a semiconductor device 1 is carried out. The drive circuit 4 emits the same output signal So of 15V as the supply voltage Vd by the same logic state as it in the example of drawing in response to the about [5V] input signal Si which is a logic signal which specifies the condition of turning on and off of a semiconductor device 1.

[0004] There is electrostatic capacity Cge and Cgc in the gate of the semiconductor device 1 which receives this output signal So through the above-mentioned resistance Rg between that emitter and collector, respectively, and sufficient drive capacity to carry out the charge and discharge of these into the short time of a request of a-100 number - 1000pF of numbers, and the gate capacitance Cg of a semiconductor device 1 that became, and compounded them in the drive circuit 4 since it was big electrostatic capacity, respectively is granted. In addition, drawing 3 (b) Drawing 3 (c) The wave of the input signal Si and output signal So of the drive circuit 4 is shown, respectively.

[0005]

[Problem(s) to be Solved by the Invention] However, above-mentioned drawing 3 (a) In the drive circuit [like] 4, in order to raise the switching rate of a semiconductor device 1, the drive capacity is improved, Or when the resistance of gate resistance Rg is lowered, the turn-on time and the turn-off time are contracted and it goes, the problem a transitional vibration becomes easy to generate is in the current which flows to the electrical potential difference built over a

semiconductor device 1 at the time of turning on and off, or it. the following and this situation -- drawing 3 (d) - drawing 3 (f) It refers to and explains.

[0006] Drawing 3 (d) A semiconductor device 1 is the drive circuit 4 to drawing 3 (c). The wave of the gate voltage V_g at the time of receiving the shown wave-like output signal S_o is shown. the capacity C_{ge} between gate emitters relevant to the above-mentioned gate capacitance C_g , and the capacity C_{gc} between gate collectors -- under turn-on actuation and a turn-off -- the wave of gate voltage V_g is as [since it changes with the electrical-potential-difference values and current values which the working semiconductor device 1 receives] it is shown in drawing -- ** -- a simple charge-and-discharge wave -- it becomes and differs.

[0007] Drawing 3 (e) Drawing 3 (f) The wave of the current I which flows to the electrical potential difference V_{ce} between collector emitters concerning a semiconductor device 1 and it is shown, respectively. Drawing 3 (e) Although there is no vibration in the wave at the time of the turn-on of an electrical potential difference V_{ce} like, a big vibration appeared in the wave at the time of a turn-off, and sharp peak voltage has occurred. Drawing 3 (f) Although some vibration appears in the wave of Current I like at the time of a turn-off, a big vibration appeared at the time of a turn-on, and the very sharp peak current has occurred.

[0008] At the time of the turn-on of a semiconductor device 1, it is on the current I so that it may understand from now on, So that it is easy to produce especially a respectively transitional vibration on an electrical potential difference V_{ce} at the time of a turn-off and the amplitude of vibration has the large driving force of the drive circuit 4, so that the resistance of gate resistance R_g is low There is an inclination for a load 2 to increase rapidly by inductivity, so that the inductance value is large., Thus, the actual condition is that a transitional vibration generated along with the on-off control action when raising the switching rate of a semiconductor device 1 and going is ****.

[0009] The purpose of this invention is in view of this present condition to offer the drive circuit which can raise a switching rate conventionally, controlling the transient vibration which is easy to produce at the time of the turn-on of an insulated-gate semiconductor device, and a turn-off.

[0010]

[Means for Solving the Problem] The electrical-potential-difference detection means which emits the electrical-potential-difference detecting signal from which a logic state switches according to the comparison result of the reference value of the electrical-potential-difference value in response to the electrical potential difference which the above-mentioned purpose requires for the gate of a semiconductor device according to this invention, The partial pressure circuit which pressures the drive supply voltage of the gate partially to a predetermined ratio, Series connection of one pair of transistors is carried out to drive supply voltage. Both Point of Interface as an outputting point The tri-state circuit where the output signal which drives the gate of a semiconductor device is drawn from this outputting point that that logic state was controlled by the tri-state including a float condition, and was connected with the partial pressure point of a partial pressure circuit in common, The control means which controls the on-off condition of the transistor of a tri-state circuit according to the logic state of both signals in response to the input signal and electrical-potential-difference detecting signal which specify turning on and off of a semiconductor device is used. After the logic state of an input signal switches, the inside of time amount until the logic state of an electrical-potential-difference detecting signal switches is attained by controlling a tri-state circuit by the control means in the float condition, and taking out the partial pressure value by the partial pressure circuit as an output signal.

[0011] The hysteresis property on actuation can be given to the electrical-potential-difference

detection means said during the above-mentioned configuration so that the reference values which should compare the gate voltage value of a semiconductor device may differ in the time of the rise of gate voltage, and descent. Moreover, it is advantageous to connect a transistor to each of one pair of partial pressure elements at a serial, to control the transistor which goes into it of a partial pressure circuit at a serial to an OFF state, in case the transistor in a tri-state circuit is made to turn on, and to control the transistor which goes into juxtaposition further at it to an ON state in a partial pressure circuit. It is easiest to constitute a control means as a logic gate thru/or its combinational circuit.

[0012] As for a partial pressure circuit, it is most rational to dissociate and prepare in the object for ON actuation and the object for off actuation of a semiconductor device, and to enable it to set up those division ratios independently by the case, although it is good also as single. Even in this case, although it is also possible for a tri-state circuit to be single and to finish, it is advantageous to make a tri-state circuit accompany for every partial pressure circuit, and to control by the control means in the float condition by turns according to the change on another side from one side of the logic state of an input signal and the change to one side from another side.

[0013] It is advantageous to prepare the drive transistor which furthermore receives an output signal from both for every combination of a partial pressure circuit and a corresponding tri-state circuit in this case, to connect these drive transistors the object for ON actuation and for OFF actuation to a serial to drive supply voltage, and to take out an output signal from the Point of Interface of both the drive transistor as an object for a gate drive to a semiconductor device.

[0014]

[Function] The drive circuit of the insulated-gate semiconductor device by this invention (1) The above-mentioned current accompanying the on-off control action of a semiconductor device and the transient vibration of an electrical potential difference note the point of the turn-on time or the turn-off time induced very much by the abrupt change of the gate voltage of an early semiconductor device. As it is not made to go on only to the partial pressure value which set up the charge and discharge of the gate immediately after initiation of on-off control action by that cause by the partial pressure circuit said to the configuration of the preceding clause, a gate change-of-potential rate is controlled to extent by which the transient vibration is not induced. (2) Paying attention to the point that the charge and discharge in that case surely take some time amount, the time amount which should control a change rate with the electrical-potential-difference detection means said to the configuration of the preceding clause is set up from the time amount from which gate voltage changes to a predetermined reference value. The inside of this time amount sets a tri-state circuit in the float condition by the control means. After this passage of time cancels a tri-state circuit of a float condition by the control means, and makes a tri-state circuit drive the gate of a semiconductor device. (3) -- [furthermore,] It succeeds in achievement of the above-mentioned desired end by making the charge and discharge complete and putting in a semiconductor device in a short time, at the on-off condition of normal.

[0015]

[Example] Next, the example of this invention is explained with reference to drawing. Drawing 1 is the circuit diagram of the example showing the drive circuit by this invention with a semiconductor device, and the related wave form chart of the main signals, and drawing 2 is an operating-characteristic Fig. in the case of giving the hysteresis on actuation to an electrical-potential-difference detection means. in addition, although a partial pressure circuit is separately established in the object for ON actuation and the object for OFF actuation of a semiconductor

device, one pair of the partial pressure elements shall resemble each partial pressure circuit, respectively, it shall receive, and series connection of the transistor shall be carried out and a tri-state circuit shall be prepared in the example explained below corresponding to each partial pressure circuit, this invention can be carried out in the mode which deformed variously not only within the limits of this example but within the limits of the above-mentioned summary.

[0016] Drawing 1 (a) The diode 3 in parallel with the insulated-gate semiconductor device 1, the load 2, and it which are IGBT shown in the right-hand side section is the same as the case of the conventional example of drawing 3 explained above. The drive circuit by this invention is drawing 1 (b). The input signal S_i which shows a wave is received and it is drawing 1 (h). In the example of illustration of the output signal S_o which shows a wave, it outputs by the same logic state as an input signal S_i , and is drawing 3 (a) about the gate of a semiconductor device 1. It drives through the gate resistance [like] R_g .

[0017] Drawing 1 (a) The electrical-potential-difference detection means 10 shown in a center section simple with a block is drawing 1 (c) in response to the gate voltage V_g of the semiconductor device 1 which is the result of carrying out the charge and discharge of the gate with this output signal S_o about the electrical-potential-difference detecting signal S_d from which a logic state changes that electrical-potential-difference value according to that result as compared with a predetermined reference value. It emits by the shown wave. Drawing 1 (b) When the logic state of an input signal S_i switches, it is drawing 1 (h). For an output signal S_o thru/or gate voltage V_g , although a standup and falling are immediately started according to it, in order for there to be electrostatic capacity in the gate of a semiconductor device 1 and for the charge and discharge to take some time amount, change of the logic state of the electrical-potential-difference detecting signal S_d is drawing 1 (c). Only the short time shown by τ_{aup} or τ_{aun} from an input signal S_i like by a diagram is overdue.

[0018] Drawing 1 (a) By the partial pressure circuits 21 and 22 surrounded and shown with an alternate long and short dash line pressuring it partially to a predetermined ratio in response to the drive supply voltage V_d for the gates of a semiconductor device 1, by the case, although it is possible to also make only one piece require, in this example, the partial pressure circuit 21 for ON actuation of a semiconductor device 1 and the partial pressure circuit 22 for OFF actuation are formed, and it enables it to set up those division ratios mutually-independent. These partial pressure circuits 21 and 22 are [as opposed to / further / at this example / each partial pressure resistance $21r$ and $22r$] the transistors $21p$ and $21n$ of p form and n form, respectively, although one pair of partial pressure resistance $21r$ and $22r$ is included like usually, respectively, And $22p$ and $22n$ are connected to a serial as shown in drawing.

[0019] It is drawing 1 (a) similarly. The tri-state circuits 31 and 32 surrounded and shown with an alternate long and short dash line are tri-state circuits controlled by the float condition besides as an inverter circuit actuation that the logic state of an outputting point switches to yes at two low conditions. In this example, corresponding to the above-mentioned partial pressure circuits 21 and 22, the tri-state circuit 32 the tri-state 31 for ON actuation of a semiconductor device 1 and for off actuation is formed, and it connects with the partial pressure point of the partial pressure circuits 21 and 22 that those outputting points correspond, in common, respectively. Moreover, the output signal S_{op} for ON actuation from the outputting point of the tri-state circuit 31 The output signal S_{on} for off actuation is drawn from the outputting point of the tri-state circuit 32, respectively.

[0020] In addition, these tri-state circuits 31 and 32 come to carry out series connection of transistor $31n$ of transistor $31p$ of p form, $32p$, and n form, and the $32n$ to the drive supply

voltage V_d , respectively like illustration. It is what makes the Point of Interface of one pair each of those transistors the outputting point by which common connection was made with the partial pressure point of the partial pressure circuits 21 and 22. Next, according to the change on another side from one side of the logic state of an input signal S_i , and change of the hard flow, between the above-mentioned time delay τ_{ap} or τ_{an} is controlled by the control means 40 to express by the float condition by turns.

[0021] The control means 40 of this example is what controls the on-off condition of the transistor of the partial pressure circuits 21 and 22 and the tri-state circuits 31 and 32. Are good to constitute this from this invention as the logic gate which receives an input signal S_i and the electrical-potential-difference detecting signal S_d , or its combinational circuit. In this example, it consists of AND gate 41 for ON actuation, and OR gate 42 for off actuation, and the control signals S_{41} and S_{42} which are those outputs are emitted, and also an input signal S_i is outputted as it is. drawing 1 (d) Drawing 1 (e) **** -- the wave of control signals S_{41} and S_{42} is shown, respectively.

[0022] Now and drawing 1 (b) Supposing an input signal S_i changes from a low to a high, it is drawing 1 (c) immediately after that. Since the electrical-potential-difference detecting signal S_d is in a low condition Drawing 1 by AND gate 41 of a control means 40 (d) A control signal S_{41} is a low. Therefore, it turns off both transistor 31n of n form where the low of transistor 31p of p form which receives the high of the input signal S_i of the tri-state circuit 31 for ON actuation, and a control signal S_d is received, and the tri-state circuit 31 will be in a float condition. Since both transistor 21n of n form where transistor 21p of p form and the high of an input signal S_i which receive the low of the control signal S_{41} in the partial pressure circuit 21 are received on the other hand turns on, it is drawing 1 (f). The shown output signal S_{op} for ON actuation becomes the intermediate voltage V_{ip} which pressured the drive supply voltage V_d partially by the partial pressure circuit 21.

[0023] On the other hand, drawing 1 according to NOR gate 42 at an OFF actuation side (e) Drawing 1 drawn from an outputting point since transistor 32n of n form where a control signal S_{42} becomes a high to the standup and coincidence of an input signal S_i , transistor 32p of p form which receives this in the tri-state circuit 32 turns off, and the high of an input signal S_i is received turns on (g) The shown output signal S_{on} for OFF actuation will be in a low condition. Since transistor 31n of n form of the tri-state circuit 31 turns on if the control signal S_{41} by the side of ON actuation becomes a high after progress of the above-mentioned time delay τ_{ap} , the output signal S_{op} for ON actuation switches to a low.

[0024] next, the input signal S_i -- yes -- since -- if it changes to a low -- a control signal S_{41} -- immediately -- a low -- changing -- transistor 31p of p form in the tri-state circuit 31 -- an input signal S_i -- yes, since it comes out, and it turns on and transistor 31n of n form turns off in the low of a control signal S_{41} , the output signal S_{op} for ON actuation changes to a high condition. On the other hand, a high condition is still maintained between the above-mentioned time delay τ_{an} of the electrical-potential-difference detecting signal S_d , and since both transistor 32n of n form where transistor 32p of p form and the low of an input signal S_i which receive the high are received turns off the tri-state circuit 32, a control signal S_{42} will be in a float condition. However, since both n form transistor 22n that receives the high of p form transistor 22p which receives the high of an input signal S_i , and a control signal S_{42} turns on the direction of the partial pressure circuit 22, the output signal S_{on} for off actuation becomes the intermediate voltage V_{in} which pressured the drive supply voltage V_d partially. if a control signal S_{42} changes to a low after progress of time delay τ_{an} , transistor 32p of p form of the tri-state circuit

32 turns on in that low -- since transistor 32n of n form turns off in the low of a control signal Si, this output signal Son starts on the high electrical potential difference Vd from intermediate voltage Vin.

[0025] As mentioned above, the duty to which control the tri-state circuit 31 and 32 by this example by turns in the float condition between time delay τ_{aup} until the logic state of an input signal Si switches and the logic state of the electrical-potential-difference detecting signal Sd switches behind, or τ_{aun} , and a control means 40 makes the partial pressure circuit 21 of the drive supply voltage Vd and the partial pressure value by 22 output as an output signal Sop, the intermediate voltage Vip of Son, or Vin is achieved.

[0026] In addition, when carrying out inverter actuation of those other than a float condition to the tri-state circuit 31 or 32, in case the control means 40 in this example makes that transistor turn on, it surely controls the transistor which goes into it at a serial to the partial pressure circuit 21 or the drive supply voltage Vd in 22 to an OFF state, and it controls the transistor which goes into juxtaposition further to an ON state. For example, when making transistor 31p of p form of the tri-state circuit 31 turn on by the low of an input signal Si, transistor 21n of n form where it goes into it to the drive supply voltage Vd of the partial pressure circuit 21 at a serial is controlled by the low of the same input signal Si to an OFF state, and transistor 21p of the p form is controlled by the high of a control signal S41 to an ON state. Lycium chinense can do the output signal Sop which tri-state 31 emits by OFF of this transistor 21n in the same high logic state as the drive supply voltage Vd, without being influenced of the partial pressure circuit 21, and it can be made much more reliable by ON of transistor 21p.

[0027] Drawing 1 (a) In the example of a circuit The output signal Sop for ON actuation generated as mentioned above in order to heighten the drive capacity over a semiconductor device 1, and the output signal Son for off actuation are received in drive transistor 50n of drive transistor 50p of p form where it connected with the serial to the drive supply voltage Vd, and n form, respectively. Drawing 1 which drives the gate of a semiconductor device 1 from both Point of Interface (h) It is constituted so that the output signal So which shows a wave may be taken out. Drive transistor 50n of the object for charge of the electrostatic capacity Cg in which the gate of a semiconductor device 1 has drive transistor 50p of p form, and n form is the object for discharge, and, of course, on-off operation is carried out by turns with both the output signals Sop and Son.

[0028] this output signal So is also the gate voltage Vg concerning a semiconductor device 1, and the output signal Sop for ON actuation and the output signal Son for OFF actuation switch via intermediate voltage Vip or Vin into the above-mentioned time delay τ_{aup} or τ_{aun} , respectively at the time of the change of state of an input signal Si and -- since the charge and discharge of the gate capacitance Cg of a semiconductor device 1 also take some time amount -- drawing 1 (h) It becomes the wave which changes gently-sloping compared with an output signal Sop or Son like.

[0029] This drawing 1 (h) The hysteresis on actuation as the reference value with which that electrical-potential-difference value is compared shown to the wave of gate voltage Vg with the electrical-potential-difference detection means 10 and shown in the electrical-potential-difference detection means 10 in this example at drawing 2 is given, and it is the reference voltage VH at the time of the rise of gate voltage Vg. Reference voltage VL at the time of descent It is constituted so that it may differ. Gate voltage Vg is reference voltage VH about the logic state of the electrical-potential-difference detecting signal Sd like [this electrical-potential-difference detection means 10] drawing 2 . VL When it becomes, although it is good by giving

the hysteresis property of the usual direction of a counterclockwise rotation shown that it makes it change, respectively by the arrow head by a diagram, it is also possible to give it the hysteresis property of the direction of a clockwise rotation, when required. This hysteresis property is the reference value V_H of the upper and lower sides of the one half of the drive supply voltage V_d of 15V of 7.5V. V_L It is good to set up so that Difference dV may be set to 2-severalV.

[0030] if the drive transistors 50p or 50n turn on in response to an output signal S_{op} , the intermediate voltage V_{ip} of S_{on} , or V_{in} to the gate immediately after the logic state of an input signal S_i changes, since they will operate in a saturation region and will charge thru/or discharge the gate capacitance C_g of a semiconductor device 1 with the current of about 1 law -- drawing 1 (h) Gate voltage V_g starts or falls with inclination about 1 law so that it may be shown. this gate voltage V_g -- reference voltage V_H of the electrical-potential-difference detector 10 time delay τ_{up} at the time of ON actuation of the above-mentioned [time amount until it starts] -- it is -- reference voltage V_L up to -- the time amount which falls is time delay τ_{un} at the time of OFF actuation.

[0031] It is as follows when the point which sets up these time delay τ_{up} and τ_{un} is described concretely. Now, the constant decided by the mobility of the channel of transistor 50p of p form and electrostatic capacity of gate oxide is set to k_p , It is the ratio of the channel width and channel die length W_p/L_p It carries out and is V_{tp} about the gate threshold. If it carries out The fixed charging current I_p over the gate capacitance C_g of the semiconductor device 1 of drive transistor 50p when receiving intermediate voltage V_{ip} in the gate It is $I_p = (k_p/2) (W_p/L_p) (V_{ip} - V_{tp})^2$ as everyone knows. It is expressed, therefore time delay τ_{up} at the time of ON actuation can be set up by $\tau_{up} = V_H C_g / I_p$ using the value of this charging current I_p . The discharge current I_n over the gate capacitance C_g by n form transistor 50n is k_n similarly about the constant decided by the channel mobility and electrostatic capacity of gate oxide, Ratio of channel width and channel length W_n/L_n It is V_{tn} about a gate threshold. When it carries out, it is $I_n = (k_n/2) (W_n/L_n) (V_{in} - V_{tn})^2$. It becomes and the time delay at the time of off actuation can be set up by $\tau_{un} = V_L C_g / I_n$.

[0032] It is drawing 1 (i) about the wave of the both-ends electrical potential difference V_{ce} built between that collector emitter in connection with the on-off control action of a semiconductor device 1 in this example constituted as mentioned above. It is drawing 1 (j) about the wave of the current I which shows and flows to it. It is shown. Drawing 3 in the above-mentioned conventional example (e) Drawing 3 (f) If it compares with a wave, although a peak small to the current I at the time of ON actuation of a semiconductor device 1 and the wave of the both-ends electrical potential difference V_{ce} at the time of OFF actuation comes out, the big overcurrent or big overvoltage accompanying transient vibration like before will not be produced in this invention circuit, so that it may understand.

[0033] Furthermore, it is drawing 3 (a) like [in this invention circuit] before. It is not necessary to use the shown gate resistance R_g , and especially after time delay τ_{up} and τ_{un} pass, the charge and discharge of the gate of a semiconductor device 1 can be completed very much in a short time. Although time delay τ_{up} and τ_{un} change, of course with cases 0.1-0.5 It is the abbreviation one half which is set up within the limits of μs about the turn-on time and the turn-on time of a semiconductor device 1 which it was good and were 1-2microS need conventionally by this. It can be shortened about [0.5-1micro] to S.

[0034] Not only an example but this invention explained above can be carried out in various modes. For example, although all drive circuits were constituted from an example as a CMOS circuit, it can also constitute, for example as a bipolar circuit. Even if it does not give a hysteresis

property of operation like an example to an electrical-potential-difference detection means, the division ratio of a partial pressure circuit can also adjust a setup of a time delay. An in-series transistor can be omitted to partial pressure resistance of a partial pressure circuit, and, on the whole, circuitry can also be simplified.

[0035] Moreover, although the partial pressure circuit for ON actuation and the partial pressure circuit for off actuation were used in the example, in order to simplify circuitry, a single partial pressure circuit is prepared common to both actuation, and you may make it control a corresponding tri-state circuit by the control means in the float condition between the time delays at the time of ON actuation and off actuation. Of course, the control means in this embodiment can be easily constituted so that on-off control of the transistor in a tri-state circuit may be carried out to compensate for actuation required for it. Furthermore, an output signal can also carry out this invention so that between either of the time delays at the time of ON actuation and OFF actuation may become intermediate voltage, so that the wave of the combination of the partial pressure circuit by the side of the ON actuation in an example and OFF actuation and a tri-state circuit of operation may show.

[0036]

[Effect of the Invention] In the drive circuit of the semiconductor device by this invention, as explained above With an electrical-potential-difference detection means The gate voltage of a semiconductor device The electrical-potential-difference detecting signal from which a logic state switches according to the result compared with reference voltage is made, A partial pressure circuit is made to carry out the partial pressure of the drive supply voltage for the gates of a semiconductor device to a predetermined ratio. A logic state from the outputting point connected with the partial pressure point of a partial pressure circuit in common in the tri-state circuit a float condition The output signal controlled by the included tri-state is generated, according to the logic state of the input signal and electrical-potential-difference detecting signal which specify turning on and off of a semiconductor device by the control means, turning on and off of the transistor in a tri-state circuit is controlled. The inside of a time delay until the logic state of an electrical-potential-difference detecting signal changes after the logic state of an input signal changing by the control means The following effectiveness can be mentioned by controlling the logic state of the outputting point of a tri-state circuit in the float condition, and taking out the partial pressure value by the partial pressure circuit as an intermediate voltage value of an output signal.

[0037] (a) To the intermediate voltage which pressured drive supply voltage partially for the output signal which drives the gate of a semiconductor device by the partial pressure circuit, by Lycium chinense, the inside of the time delay of change of the electrical-potential-difference detecting signal to change of an input signal advances the charge and discharge of the gate partially to this intermediate voltage, and it can control a gate change-of-potential rate so that the transient vibration may not be induced.

(b) Moreover, the time delay to which time amount should control a gate change-of-potential rate using a required point can be rationally set as the charge and discharge of the electrostatic capacity which the gate of a semiconductor device has according to the electrostatic-capacity value of the gate simply and correctly from the time amount from which the electrical-potential-difference value changes with electrical-potential-difference detection means to a predetermined reference value.

[0038] (c) It is not necessary to use gate resistance like before, and especially after progress of a time delay can shorten the turn-on time and the turn-off time of a semiconductor device to

conventional one half extent by canceling a tri-state circuit of a float condition, driving the gate strongly directly, and making the charge and discharge of the electrostatic capacity complete in a short time. Thus, it makes it possible to expand conventionally the frequency in which the switching operation is possible to a RF field side, this invention solving the conflict between control of the transient vibration of the electrical potential difference which the conventional drive method which uses gate resistance had, or a current, and improvement in the speed of a switching rate thru/or the problem of a trade-off, and protecting a semiconductor device from the overvoltage by the transient vibration, or an overcurrent safely.

[0039] In addition, the embodiment of this invention which gives the hysteresis property on actuation so that it may be the reference voltage which should be compared with an electrical-potential-difference detection means with the gate voltage of a semiconductor device at the rise [of gate voltage] and downward time and they may differ has the advantage which can set up a gate change-of-potential rate correctly so that generating of the transient vibration may be controlled certainly according to it, when the transient characteristics of a semiconductor device or its load differ in the time of ON actuation and off actuation. Moreover, the mode which controls the transistor which goes into it of a partial pressure circuit at a serial in case a transistor is connected to a serial to each partial pressure element of a partial pressure circuit and the transistor in a tri-state circuit is made to turn on to an OFF state, and the mode which controls the transistor which goes into juxtaposition further at it to an ON state have the effectiveness which strengthens the driving force of the gate and accelerates the switching rate of a semiconductor device. The mode which constitutes a control means combining a logic gate or it has the advantage which can control correctly actuation of a tri-state circuit or a partial pressure circuit by easy circuitry.

[0040] The mode which separates and establishes a partial pressure circuit in the object for ON actuation and OFF actuation, and sets up a division ratio independently, and the mode which prepares a tri-state circuit for every partial pressure circuit further are effective in the ability to set up independently the gate change-of-potential rate at the time of ON actuation of a semiconductor device, and OFF actuation according to a property so that the transient vibration may be prevented certainly. The mode which prepares a drive transistor for every combination of the object for ON actuation, the partial pressure circuit for OFF actuation, and a tri-state circuit, draws an output signal from the Point of Interface of both the drive transistor, and drives the gate of a semiconductor device has the effectiveness which strengthens the driving force to the gate and raises the switching rate of a semiconductor device while it carries out the charge and discharge of the gate to an intermediate-voltage value by the fixed saturation current of a drive transistor and makes a setup of a time delay exact.

CLAIMS

[Claim(s)]

[Claim 1] The electrical-potential-difference detection means which emits the electrical-potential-difference detecting signal from which a logic state switches according to a comparison result with the reference value of the value in response to the electrical potential difference concerning the gate of a semiconductor device, The partial pressure circuit which pressures partially the drive supply voltage for the gates to a predetermined ratio, It comes to carry out series connection of one pair of transistors to drive supply voltage. Both Point of Interface as an outputting point The tri-state circuit where the output signal for the gate drive of a semiconductor

device is drawn from this outputting point that that logic state was controlled by the tri-state including a float condition, and common connection was made with the partial pressure point of a partial pressure circuit, It has the control means which controls the on-off condition of the transistor of a tri-state circuit according to the logic state of both signals in response to the input signal and electrical-potential-difference detecting signal which specify turning on and off of a semiconductor device. The inside of time amount until the logic state of an electrical-potential-difference detecting signal changes after the logic state of an input signal switches is the drive circuit of the insulated-gate semiconductor device characterized by controlling a tri-state circuit by the control means in the float condition, and taking out the partial pressure of a partial pressure circuit as an output signal.

[Claim 2] The drive circuit of the insulated-gate semiconductor device characterized by constituting a control means as a logic gate thru/or its combinational circuit in a circuit according to claim 1.

[Claim 3] the drive circuit of the insulated-gate semiconductor device which one pair of partial pressure elements of a partial pressure circuit are alike, respectively, and is characterized by controlling the transistor which goes into it of a partial pressure circuit at a serial in case it receives, a transistor is connected to a serial and the transistor in a tri-state circuit is made to turn on to an OFF state in a circuit according to claim 1.

[Claim 4] The drive circuit of the insulated-gate semiconductor device characterized by separating and establishing a partial pressure circuit in the object for ON actuation and the object for off actuation of a semiconductor device in a circuit according to claim 1, and enabling it to set up those division ratios independently.

[Claim 5] The drive circuit of the insulated-gate semiconductor device characterized by preparing a tri-state circuit to each partial pressure circuit, and making it control by the control means in the float condition by turns in a circuit according to claim 4 according to the change on another side from one side of the logic state of an input signal, and the change to one side from another side.

[Claim 6] The drive circuit of the insulated-gate semiconductor device characterized by to prepare the drive transistor which receives an output signal from both circuits for every combination of each partial pressure circuit and the tri-state circuit corresponding to it in a circuit according to claim 5, to connect this object for ON actuation, and the drive transistor for OFF actuation to a serial to drive supply voltage, and to derive an output signal from the Point of Interface of both the drive transistor as an object for a gate drive to a semiconductor device.

[Claim 7] The drive circuit of the insulated-gate semiconductor device characterized by giving a hysteresis property of operation to an electrical-potential-difference detection means so that it may be the reference value which should compare the gate voltage value of the semiconductor device of an electrical-potential-difference detection means at the rise [of gate voltage], and downward time and they may differ in a circuit according to claim 1.